

ESTRUCTURA Y TECNOLOGÍA DE COMPUTADORES

I.T.I. Gestión, I.T.I. Sistemas e I. Superior, Grupos I y II

Primer Parcial – 9 de diciembre de 2008

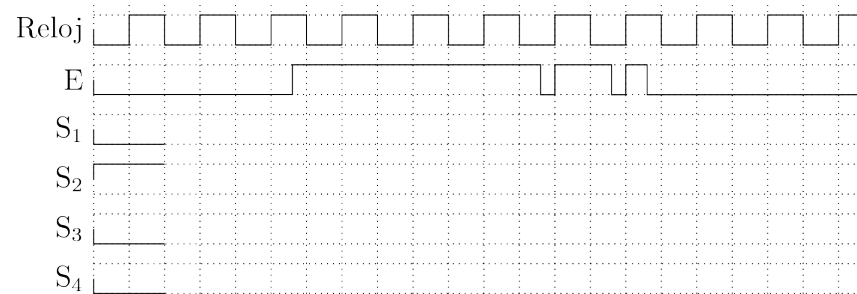
Apellidos:	Nombre:
D.N.I.:	
Grupo: Sistemas I <input type="checkbox"/> Sistemas II <input type="checkbox"/> Gestión I <input type="checkbox"/> Gestión II <input type="checkbox"/> Superior <input type="checkbox"/>	

1. (3 puntos) Sea un formato para representar número reales utilizando 16 bits, de los cuales 7 están destinados a representar el exponente en **complemento a dos**. La base utilizada es 16 y se permiten los números desnormalizados pero no los casos de $\pm\infty$ y NaN. Por último, se utiliza el mismo tipo de redondeo que en IEEE-754. Se pide:

- a) (1 punto) El valor máximo, mínimo normalizado y mínimo sin normalizar, en valor absoluto y distinto de 0, que se puede representar en este formato (se pide el valor concreto en base 10).
- b) (0.5 puntos) El número que en este formato representa la ristra de 16 bits 0x8F48.
- c) (1 punto) La representación en este formato del número 10^{-3} . ¿Cuál ha sido el error de redondeo (diferencia entre el valor a representar y el finalmente representado) que se ha cometido al transformar el número a este formato?
- d) (0.5 puntos) Añada los bits necesarios para implementar un código de Hamming para la detección y corrección de errores. Utilice un criterio de paridad par e indique cómo quedaría finalmente representado el número del apartado b). ¿Cuál era la eficiencia del formato original?. ¿Y una vez introducidos los bits de control cuál sería la eficiencia del nuevo código?.

2. (3 puntos) Se quiere diseñar un circuito secuencial utilizando biestables tipo D disparados por flanco descendente, puertas AND y puertas OR. El circuito tendrá una entrada (E) y cuatro salidas (S_1, S_2, S_3 y S_4) de un bit cada una. Las salidas están numeradas del 1 al 4 y siempre se encuentra activa una y solo una de ellas. Si la entrada del circuito vale 1, en el ciclo siguiente se activará la salida numerada en una unidad mayor a la actual; y si la entrada vale 0, en el ciclo siguiente se activará la salida numerada en una unidad menor a la actual. Una entrada 0 cuando la salida actual es la número 1 o una entrada 1 cuando la salida actual es la número 4 no cambian la salida actual.

- a) (0.6 puntos) Complete el siguiente cronograma que muestra el comportamiento del circuito, suponiendo que todos los retardos son despreciables:



- b) (0.6 puntos) Dibuje un autómata de Moore que modele el comportamiento del circuito.
- c) (1.2 puntos) Realice la asignación de estados y determine las funciones de transición y de salida simplificadas.
- d) (0.3 puntos) ¿Se podría implementar la función de salida de una manera más sencilla usando alguno de los bloques lógicos combinacionales comunes vistos en el tema?
- e) (0.3 puntos) Dibuje el circuito resultante.

Para el número del apartado b),

				s	E								M								
X	X	1	X	0	0	0	X	1	1	1	1	0	1	0	X	0	1	0	0	0	
1	2	3	4	5	6	7	8	9	1	1	1	1	1	1	1	1	1	1	1	2	21
								0	1	2		3	4	5	6	7	8	9	0		

Calculando los bits de paridad y teniendo en cuenta que utilizamos paridad par tendríamos:

- En los bits controlados por el Bit 1 tenemos 3 unos → poner un 1.
- En los bits controlados por el Bit 2 tenemos 5 unos → poner un 1.
- En los bits controlados por el Bit 4 tenemos 2 unos → poner un 0.
- En los bits controlados por el Bit 8 tenemos 5 unos → poner un 1.
- En los bits controlados por el Bit 16 tenemos 1 uno → poner un 1.

1	1	1	0	0	0	0	1	1	1	1	1	0	1	0	1	0	1	0	0	0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---	---

Para calcular la eficiencia del formato original debemos determinar el número de valores reales distintos que podemos representar. Para ello debemos tener en cuenta que existe una doble representación de cero y después determinar si hay alguna ristra no válida por causa de la normalización. En nuestro caso todas las ristas de 16 bits que representen números no normalizados para exponentes distintos del mínimo son no válidas.

X XXXXXXXX 0000XXXX → No válido (excepto X 1000000 0000XXXX que son válidos al ser números desnormalizados con el exponente en su valor mínimo). En total tendremos $2^{12}-2^5$ combinaciones no válidas.

Por tanto el número total de valores reales distintos será $2^{16}-(2^{12}-2^5)-1$ y la eficiencia del código vendrá dada por:

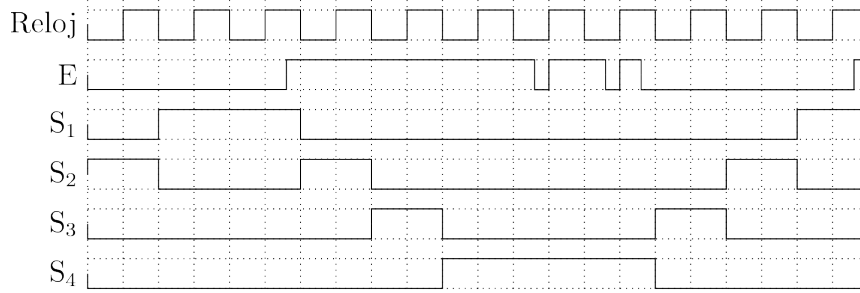
$$\tau = 2^{16}-(2^{12}-2^5)-1/2^{16} = 65535-(4096-32)/65536 = 61471/65536 = 0.93797302$$

Una vez introducidos los bits de control, los números reales distintos que se pueden codificar siguen siendo los mismos, pero ahora necesitamos 21 bits para codificarlos. Por tanto, la eficiencia será:

$$\tau = 61471/2^{21} = 61471/2097152 = 0.02931166$$

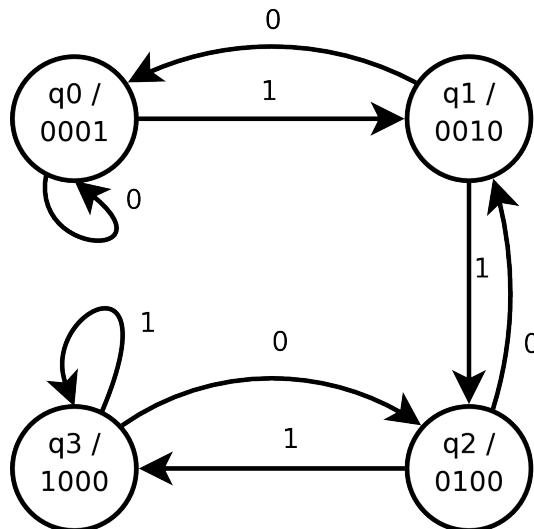
2.

a)



b)

Necesitaremos 4 estados, cada uno indicará cuál es la entrada que está actualmente activa. A continuación se muestra el autómata correspondiente, con cada estado etiquetado con el valor de las 4 salidas (S_4 , S_3 , S_2 y S_1 , en ese orden y sin separación):



c)

Para codificar los 4 estados, necesitaremos 2 flip-flops que llamaremos D_0 y D_1 . Como codificación de estados usaremos la siguiente:

Estado	D_1	D_0
q0	0	0
q1	0	1
q2	1	0
q3	1	1

Por tanto, las funciones de salida serán:

D_1	D_0	S_4	S_3	S_2	S_1
0	0	0	0	0	1
0	1	0	0	1	0
1	0	0	1	0	0
1	1	1	0	0	0

Teniendo en cuenta el autómata anterior, la tabla de transición es:

D_1	D_0	E	D_1^*	D_0^*
0	0	0	0	0
0	0	1	0	1
0	1	0	0	0
0	1	1	1	0
1	0	0	0	1
1	0	1	1	1
1	1	0	1	0
1	1	1	1	1

La expresión simplificada de las funciones de salida son las siguientes:

$$S_4 = D_1 D_0$$

$$S_3 = D_1 \bar{D}_0$$

$$S_2 = \bar{D}_1 D_0$$

$$S_1 = \bar{D}_1 \bar{D}_0$$

Las funciones anteriores no se pueden simplificar más porque cada una consta de un sólo minitérmino.

A continuación mostramos la simplificación de D_1 y D_0 .

D_1 :

$E \setminus D_1 D_0$ 00 01 11 10

0	⁰ 0	² 0	⁶ 1	⁴ 0
1	¹ 0	³ 1	⁷ 1	⁵ 1

$$D_1 = D_0 E + D_1 D_0 + D_1 E$$

D_0 :

$E \setminus D_1 D_0$ 00 01 11 10

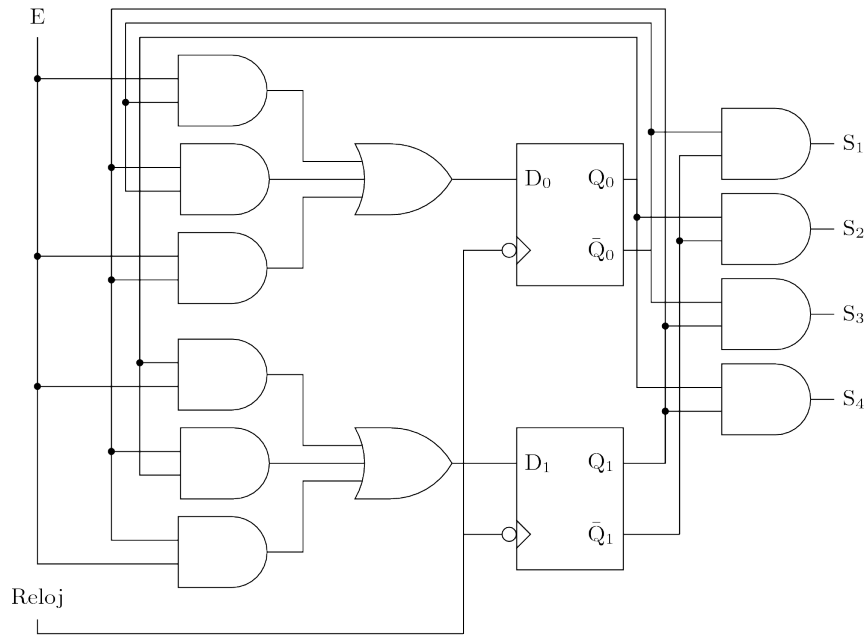
0	⁰ 0	² 0	⁶ 0	⁴ 1
1	¹ 1	³ 0	⁷ 1	⁵ 1

$$D_0 = E \bar{D}_0 + E D_1 + D_1 \bar{D}_0$$

Apartado d)

Las funciones de salida se podrían implementar directamente mediante un decodificador de 2 a 4 con las entradas conectadas a D_1 y D_0 .

Apartado e)



Mejor aún, se podría ahorrar una puerta AND si se tiene en cuenta que uno de los minterminos ($E D_1$) es común a las dos funciones de transición:

